

DERWENT-ACC-NO: 2004-556272

DERWENT-WEEK: 200460

COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: Semiconductor device for electric equipment, has **anisotropic conductive film** formed between substrate and circuit board with terminal electrode, after covering insulation film on barrier layer and **bump electrode**

PATENT-ASSIGNEE: SEIKO INSTR INC[DASE]

PRIORITY-DATA: 2002JP-0369459 (December 20, 2002)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 2004200552 A	July 15, 2004	N/A	005	H01L 021/60

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP2004200552A	N/A	2002JP-0369459	December 20, 2002

INT-CL (IPC): H01L021/60

ABSTRACTED-PUB-NO: JP2004200552A

BASIC-ABSTRACT:

NOVELTY - Insulation film (3) e.g. silicon oxide, nitridation or polyimide film, covers substrate (1). **Bump electrode** (5) is formed on barrier metal layer (4) in exposed region of electrode pad (2). Insulating film (6) is covered on metal layer and electrode. Isotropic conductive film (7) is formed between substrate and a circuit board (9) with terminal electrode (8) formed corresponding to pad position.

USE - Semiconductor device using tape automated bonding (TAB) or chip on glass (COG) bonding technique for mounting onto glass board of electric equipment.

ADVANTAGE - The electrical connection required between semiconductor element and insulation circuit board such as glass board is achieved reliably, while ensuring insulation between the bump and terminal electrode.

DESCRIPTION OF DRAWING(S) - The figure shows a sectional view of the semiconductor device.

Semiconductor substrate 1

Electrode pad 2

Supplementary insulation film 3

Barrier metal layer 4

Bump electrode 5

Insulating film 6

Anisotropic electrically conductive film 7

Terminal electrode 8

Circuit board 9

CHOSEN-DRAWING: Dwg.1/3

TITLE-TERMS: SEMICONDUCTOR DEVICE ELECTRIC EQUIPMENT ANISOTROPE
CONDUCTING FILM

FORMING SUBSTRATE CIRCUIT BOARD TERMINAL ELECTRODE AFTER
COVER

INSULATE FILM BARRIER LAYER **BUMP ELECTRODE**

DERWENT-CLASS: A85 L03 U11 V04

CPI-CODES: A12-E07C; L04-C10; L04-C11C; L04-C11D2; L04-C12; L04-C17;

EPI-CODES: U11-C05E; U11-D01A3A; U11-D03A1B; U11-D03A9; U11-D03B2; U11-E01B;
V04-A11;

ENHANCED-POLYMER-INDEXING:

Polymer Index [1.1]

2004 ; P0000

Polymer Index [1.2]

2004 ; ND01 ; K9483*R ; K9676*R ; Q9999 Q7476 Q7330 ; K9574 K9483
; K9381

Polymer Index [1.3]

2004 ; Gm ; A999 A135 ; S9999 S1456*R

Polymer Index [2.1]

2004 ; P1081*R F72 D01

Polymer Index [2.2]

2004 ; ND01 ; K9483*R ; K9676*R ; Q9999 Q7476 Q7330 ; K9552 K9483
; Q9999 Q7374*R Q7330 ; B9999 B3270 B3190

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C2004-203646

Non-CPI Secondary Accession Numbers: N2004-440201

(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-200552

(P2004-200552A)

(43) 公開日 平成16年7月15日 (2004.7.15)

(51) Int. Cl.⁷

H01L 21/00

F I

H01L 21/60

311S

H01L 21/92

603G

テーマコード (参考)

5F044

審査請求 未請求 請求項の数 7 O L (全 5 頁)

(21) 出願番号 特願2002-369459 (P2002-369459)

(22) 出願日 平成14年12月20日 (2002.12.20)

(71) 出願人 000002325

セイコーインスツルメンツ株式会社

千葉県千葉市美浜区中瀬1丁目8番地

(74) 代理人 100079212

弁理士 松下 義治

(72) 発明者 中西 敬村

千葉県千葉市美浜区中瀬1丁目8番地 セ

イコーインスツルメンツ株式会社内

(72) 発明者 門井 聖明

千葉県千葉市美浜区中瀬1丁目8番地 セ

イコーインスツルメンツ株式会社内

Fターム (参考) 5F044 LL09 QQ02 QQ03

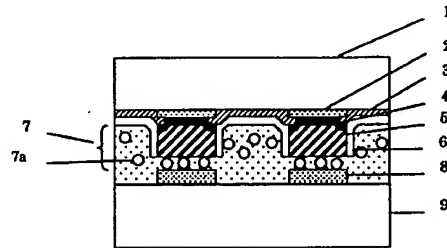
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 突起電極をもつ半導体素子において、突起電極の配置ピッチが小さくても、所要の電氣的接続が確実に達成され、隣接する突起電極間の絶縁性を確保して絶縁回路基板に搭載することが可能な構造の半導体装置を提供する。

【解決手段】 半導体基板の主表面上に形成された電極パッドと、電極パッドと半導体基板の主表面を覆う保護絶縁膜と、保護絶縁膜の電極パッドに対応する領域に開けられた開口部を覆うように、電極パッドと接続して形成されたバリアメタルと、バリアメタル上に形成された突起電極と、バリアメタル及び突起電極の外周側面を覆う保護絶縁膜と、突起電極と対向する位置に配設された端子電極を有する回路基板と、回路基板と半導体基板の間隙を充填し、突起電極と回路基板上の端子電極とを導通させる異方性導電膜の層とで構成した。

【選択図】 図1



【特許請求の範囲】

【請求項1】

半導体素子の主表面上に形成された電極パッドと、
前記電極パッドの一部を開口して、前記電極パッドと前記半導体基板の主表面を覆う保護絶縁膜と、
前記電極パッドに対応する領域に開けられた開口を覆うように、前記電極パッドと接続して形成されたバリアメタルと、
前記バリアメタル上に形成された突起電極と、
前記バリアメタル及び突起電極の外周側面を覆う保護絶縁膜と、
前記突起電極と対向する位置に配設された端子電極を有する絶縁回路基板と、
前記絶縁回路基板と半導体基板の間隙を充填し、突起電極と絶縁回路基板上の端子電極とを導通させる異方性導電膜の層とを備えたことを特徴とする半導体装置。

【請求項2】

前記保護絶縁膜は、窒化膜である請求項1記載の半導体装置。

【請求項3】

前記保護絶縁膜は、Si酸化膜である請求項1記載の半導体装置。

【請求項4】

前記保護絶縁膜は、ポリイミドである請求項1記載の半導体装置。

【請求項5】

前記異方性導電膜は、接着剤中に金属粒子を分散させた樹脂である請求項1記載の半導体装置。

【請求項6】

前記金属粒子は、プラスチック粒子に金属をめっきしたものである請求項5記載の半導体装置。

【請求項7】

前記保護絶縁膜はバリアメタル及び突起電極の外周側面の全面を覆っている請求項1記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、絶縁回路基板に実装された半導体装置に関し、特に、半導体基板の突起電極を絶縁回路基板の接続パッドに異方性導電膜を介して接続して成る半導体装置に関する。

【0002】

【従来の技術】

電気機器の小型化に伴い、半導体素子の実装方法として、突起電極を有するベアチップを回路基板上の端子電極に裏返して接続するフリップチップ実装という方法が開発された。その方法の一つに、回路基板上の実装領域に異方性導電膜を介在させて、その上から半導体素子を装着機で位置決めすると共に、加熱及び加圧手段により硬化させて実装する方法が知られている。この異方性導電膜は、ファインピッチの接続端子間の接続に優れ、一般の回路基板における半導体素子の実装や、TABやCOG等を使用されている。

【0003】

図2は、異方性導電接着剤によって半導体素子と回路基板とを接続する従来の半導体装置の構成を示す断面図である。図において、1は半導体素子、2は半導体素子1の上に形成された電極パッド、3は保護絶縁膜、4は保護絶縁膜3の電極パッド2に対応する領域に開けられた開口部に形成されたバリアメタル、5はバリアメタル4上に形成された突起電極、7は異方性導電膜、7aは導電性粒子、8は回路基板上の端子電極、9は回路基板を示す。なお、異方性導電膜とは、接着剤中に金属粒子、プラスチックボールの表面に金属をめっきした粒子などを分散したもので、圧力が加えられると接着剤が排除され、電気的な導通が得られるものである。回路基板9上の端子電極8上に異方性導電膜7を形成し、突起電極5の下の部分の異方性導電膜7は圧力が加えられた方向に導通する。これにより

、突起電極 5 と端子電極 8 は導通する。同時に、半導体素子 1 は回路基板 9 に異方性導電膜 7 の接着作用により固着され、外部からの湿気やほこりの侵入を防止することができる。また、半導体素子 1 の下面は異方性導電膜 7 によって全面的に回路基板 9 に接着しているので接着面積が広くなり接合強度も強くなる。

【0004】

また、図 3（特許文献 1 参照）は、異方性導電接着剤によって半導体素子と回路基板とを接続する従来の半導体装置の構成を示す断面図である。図において、1 は半導体素子、2 は半導体素子 1 の上に形成された電極パッド、5 は電極 2 上に形成された突起電極、7 は異方性導電膜、7 a は導電性粒子、8 は回路基板上の端子電極、9 は回路基板、10 は導電性粒子 7 a を含まない接着剤のみの層を示す。上記公報では、半導体素子 1 の表面の電極 2 上にワイヤーボンディングにより突起電極 5 を形成し、半導体素子 1 と回路基板 9 との間にあり半導体素子 1 の側に導電性粒子 7 a を含まない接着剤のみの層を設けることで電極間の絶縁性を確保している。

【0005】

【特許文献 1】

特開平 10-125725 号公報

【0006】

【発明が解決しようとする課題】

しかしながら、異方性導電膜を用いた従来の実装方法では、近年における産業界の要求に応じて導電接続の対象である端子の間隔、すなわちピッチを狭くするとき、半導体素子表面での隣り合う突起電極間に存在する導電性粒子によって当該一対の突起電極間の絶縁抵抗が劣化したり、異方性導電膜中の導電粒子の接触によりショートが発生して電極間の接続信頼性が低下するという問題点があった。また、電極の狭ピッチ化において、実装方法としてワイヤーボンディングを用いる事は困難になりつつある。本発明は、上記の問題点に鑑みて成されたものであって、端子間ピッチが狭くなる場合でも導電粒子による端子間のショートの発生を防止でき、しかも従来の技術を用いて実装を行うことができる半導体装置及びその実装方法を提供することを目的とする。

【0007】

【課題を解決するための手段】

本発明は、上記目的を達成するために、半導体基板の主表面上に形成された電極パッドと、前記電極パッドと半導体基板の主表面を覆う保護絶縁膜と、前記保護絶縁膜の前記電極パッドに対応する領域に開けられた開口部を覆うように、前記電極パッドと接続して形成されたバリアメタルと、前記バリアメタル上に形成された突起電極と、前記バリアメタル及び突起電極の外周側面を覆う保護絶縁膜と、前記突起電極と対向する位置に配設された端子電極を有する絶縁回路基板と、前記絶縁回路基板と半導体基板の間の間隙を充填し、突起電極と絶縁回路基板上の端子電極とを導通させる異方性導電膜の層とを備えたものである。また、この発明に係る半導体装置は、バリアメタル及び突起電極の外周側面を覆う保護絶縁膜として、窒化膜、Si 酸化膜、ポリイミド有することを特徴とするものである。

【0008】

【発明の実施の形態】

以下、本発明の一実施の形態を図面に基づいて説明する。尚、図において従来と同一符号は従来のもと同じあるいは相当のものを表す。

【0009】

図 1 は、本発明の一実施の形態による半導体装置の構成を示す断面図である。図において、1 は半導体素子、2 は半導体素子 1 の主表面上に形成された電極パッド、3 は保護絶縁膜である。保護絶縁膜 3 は、半導体素子 1 の主表面と電極パッド 2 の外周部を覆っている。保護絶縁膜 3 には、電極パッド 2 に対応する領域に開けられた開口部に形成されている。4 は、開口部と開口部周辺の保護絶縁膜 3 を覆うように設けられたバリアメタル、5 はバリアメタル 4 上に形成された突起電極である。6 はバリアメタル 4 及び突起電極 5 の外

周側面の全面を覆う絶縁膜である。7は異方性導電膜、7aは導電性粒子である。半導体素子1の対向する位置に回路基板9が設けられており、回路基板9上には、端子電極8が電極パッド2に対応する位置に形成されている。回路基板9は例えばガラス基板からなる絶縁回路基板である。本実施の形態においては、バリアメタル4及び突起電極5の外周側面を覆うように絶縁膜が形成されているので、各突起電極間に導電性粒子7a同士の接触によるショートが発生しても、電極間のショートにまでは至る確率は低くなり、良好な絶縁性を確保することができる。

【0010】

尚、バリアメタル4及び突起電極5の外周側面を覆う絶縁膜6の材料は、CVD法などにより形成される窒化膜やSi酸化膜、または、塗布法により形成されるポリイミドから成る。また、半導体素子1の電極パッド2上の突起電極5の材料はAu、Ag、Cu、Al、Bi、Zn、Ni、In、Pd、Si、はんだ、またはこれらの合金等の金属であれば良い。その形成方法は写真製版技術とめっきまたは蒸着等の金属の成膜技術を用いて行うことができる。

【0011】

更に、導電性粒子7aは直径が5 μ m程度のエポキシ等のプラスチック粒子に金等の金属膜を形成したものから成る。他に、Ni、Au、Ag、またはこれらの合金等の金属粒子を用いても良い。異方性導電膜の主剤としてエポキシ樹脂等の熱硬化性樹脂、ポリエチレン樹脂等の熱可塑性樹脂、アクリル系樹脂等の光硬化性樹脂などから成る樹脂フィルムを用いても良い。

【0012】

【発明の効果】

以上説明したように、本発明の半導体装置によれば、半導体基板の主表面上に形成された電極パッドと、前記電極パッドと半導体基板の主表面を覆う保護絶縁膜と、前記保護絶縁膜の前記電極パッドに対応する領域に開けられた開口部を覆うように、前記電極パッドと接続して形成されたバリアメタルと、前記バリアメタル上に形成された突起電極と、前記バリアメタル及び突起電極の外周側面を覆う保護絶縁膜と、前記突起電極と対向する位置に配設された端子電極を有する回路基板と、前記回路基板と半導体基板の間の間隙を充填し、突起電極と回路基板上の端子電極とを導通させる異方性導電膜の層とで構成したので、半導体素子と絶縁回路基板との間で所要の電氣的接続が確実に達成され、隣接する突起電極間の絶縁性を確保して絶縁回路基板に搭載することが可能な構造の半導体装置を提供できるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施の形態による半導体装置の断面図である。

【図2】従来の半導体装置の断面図である。

【図3】他の従来の半導体装置の断面図である。

【符号の説明】

- 1 半導体基板
- 2 電極パッド
- 3 保護絶縁膜
- 4 バリアメタル
- 5 突起電極
- 6 絶縁膜
- 7 異方性導電膜
- 8 端子電極
- 9 回路基板

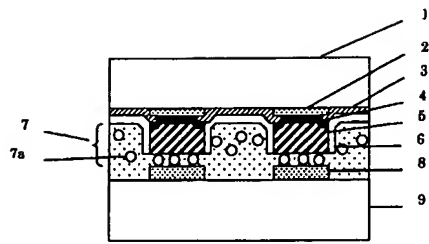
10

20

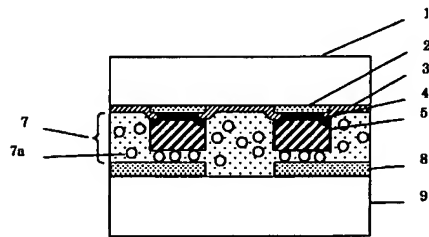
30

40

【図 1】



【図 2】



【図 3】

